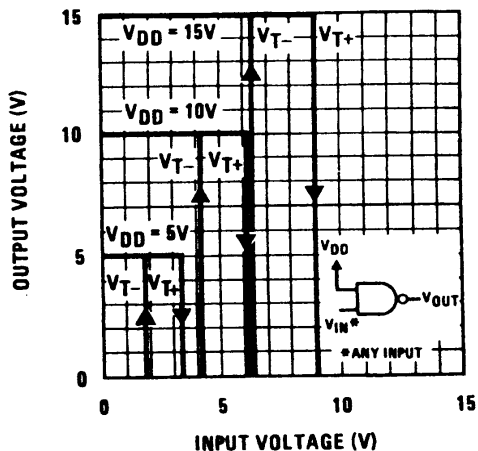


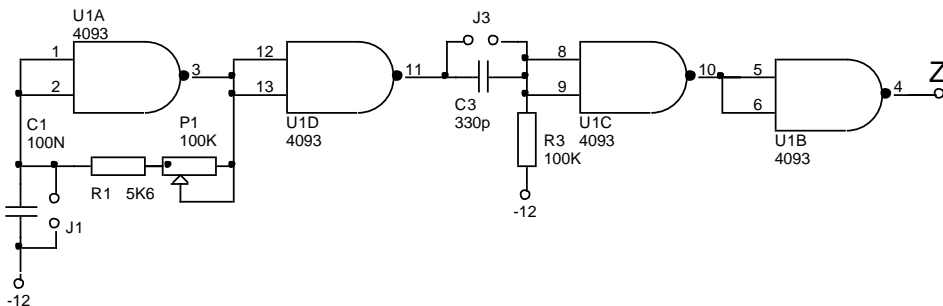
Pulzni generator

Za sestavo je bistveno integrirano vezje CD4093, ki na prvi pogled ne razodeva svojih lastnosti. Vežje namreč vsebuje štiri NAND vrata, ki pa imajo vhode s posebnimi lastnostmi. Vhodi imajo vgrajeno še histerezo (prehod iz stanja 0 v stanje 1 ni pri enaki napetosti na vhodu kot prehod iz stanja 1 v stanje 0; glej sliko 1).

Histereza omogoča boljše razlikovanje vhodnih signalov pri obdelavi analognih podatkov, tu pa omogoča sestavo preprostega in zanesljivega relaksacijskega oscilatorja, ki ga kaže slika 2. Njegovo delovanje razložimo takole.



Slika 1: Vhodno-izhodna karakteristika vezja



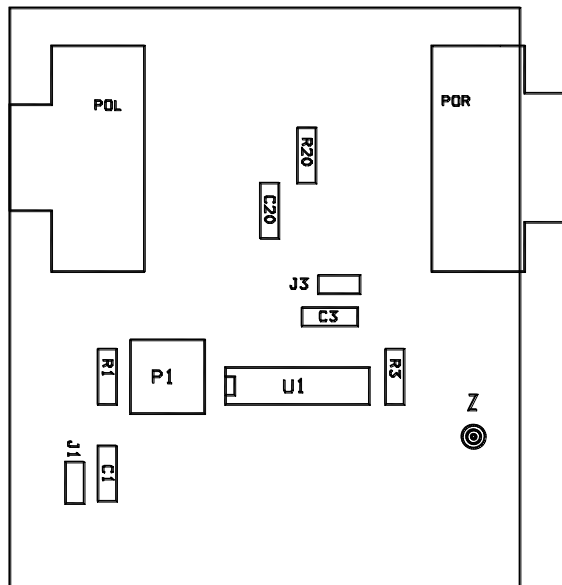
Slika 2: Shema pulznega generatorja

Vzemimo, da je na začetku kondenzator C_1 prazen. Zato je vhodna napetost v vrata U_{1A} enaka logični 0, izhodna napetost istih vrat pa je logična 1. Prek zaporedno vezanega potenciometra P_1 in upornika R_1 je torej napetost, ta pa požene tok, ki polni kondenzator C_1 ; ta se zato eksponentno nabija. Ko se nabije do napetosti V_{T^+} (okrog 7V, logična 1 za to CD4093A), preskoči izhodna napetost vrat U_{1A} z vrednosti logične 1 na vrednost logične 0. Sedaj je napetost na zaporedno vezanem uporniku R_1 in potenciometru P_1 obratne polaritete, zato teče tok in kondenzatorja C_1 . Kondenzator C_1 se zato eksponentno prazni, zaradi histereze pa vrata U_{1A} prepoznajo na vhodu logično 0 šele, ko se kondenzator sprazni na V_{T^-} (okrog 5V). Takrat izhodna napetost vrat U_{1A} spet preskoči na logično 1 in igra se ponovi. Na izhodu vrat U_{1A} dobimo pravokotno periodično napetost. Perioda je odvisna od širine histerezne krivulje, od upornosti R_1+P_1

ter kapacitete kondenzatorja C_1 . Na spodnjo stran ni omejitev, najvišja frekvenca, ki jo vezje zmore pa je okoli 5MHz.

Naslednja NAND vrata U_1B so vezana kot inverter. V vezje so vstavljena zato, ker ne želimo motiti delovanja relaksacijskega generatorja z bremenom. Pravokotni signali iz invertorja U_1B se diferencirajo s členom C_3 in R_3 . Vrata U_1C se odzivajo le tedaj, ko vhodna napetost (nožici 8 in 9) v ta vrata preseže vrednost V_{T^+} (7V), izhodni signal pa se dvigne z vrednosti logične 0 spet na vrednost logične 1, ko vhodni signal pade pod vrednost V_{T^-} (5V). Tako je izhodni signal vrat U_1C večini časa vreden logične 1, razen med sunki proti logični 0, katerih dolžino določa časovna konstanta diferencirnega člena $R_3 \& C_3$. Vezje U_1D invertira dobljeni signal, tako da je na izhodu sistema niz pozitivnih sunkov, ki zrastejo od logične 0 do logične 1.

Vrednosti logične nič in ena sta običajno 0V in +12V. To velja, če vezje napajamo z 0 in +12V. V eni naslednji vaj bomo za resetiranje integratorja potrebovali signale, ki so med -12V in 0V. Take signale dobimo, če premaknemo vezje za nadstropje niže in ga napajamo z -12V in 0V, ne da bi ga seveda obrnili (prejšnjih +12V postane 0V in prejšnjih 0V postane -12V). Tako potane logična 0 vredna -12V, logična 1 pa 0V.



Slika 3: Razpored elementov na ploščici tiskanega vezja

Naloga: Seznanj se z delovanjem vezja tako, da opazuješ delovanje vezja z osciloskopom in preverjaš signale v vezju in izhodni signal. Določi vrednosti komponent tako, da vezje daje po 100 sunkov v sekundi, njihova dolžina pa je 1ms