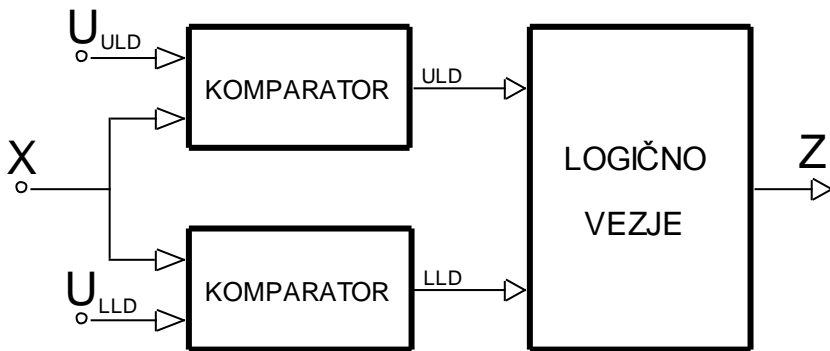


Enokanalni analizator

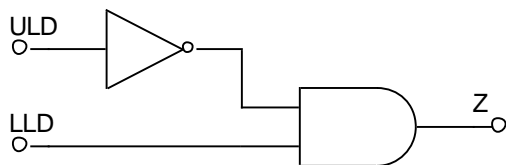
Enokanalni analizator je naprava, ki odgovori z logično enko, kadar je vhodni analogni signal X znotraj nastavljenih meja: večji od U_L in manjši od U_H , sicer pa je odgovor logična nič.

Enokanalni analizator sestavimo z dvema komparatorjema, pri katerih nastavimo primerjalna nivoja na željene vrednosti U_{LLD} in U_{ULD} , slika 1. Ko vhodna napetost X raste od minimalne vrednosti, se oba komparatorja postopoma odzivata z 0,0, 0,1 in slednjič 1,1, ko vhodna napetost preseže oba nivoja. Izmed treh možnih odzivov je treba



Slika 1: Bločna shema enokanalnega analizatorja

prepoznati le odziv 0,1, ki pravi, da je bil spodnji nivo U_{LLD} presežen, zgornji nivo U_{ULD} pa ne. Napetost je bila torej znotraj nastavljenega intervala. Pravi odgovor prepozna enostavno logično vezje, ki opravlja logično funkcijo $Z = LLD \cdot \overline{ULD}$. Shema vezja, s to logično funkcijo, je na sliki 2.



Slika 2: Logično vezje, ki ga potrebujemo za enostavno enokanalno analizo

Enokanalni analizator uporabljamo predvsem v jedrski fiziki. Prihod posameznih delcev javlja detektor jedrskega sevanja z električnimi sunki, ki imajo po primernem oblikovanju Gaussovo obliko. Velikost teh sunkov je sorazmerna energiji, ki jo je delec prinesel v detektor. Večinoma nas zanima, koliko delcev v izbranem pasu energij odda vir sevanja v časovni enoti, torej moramo šteti napetostne sunke, ki imajo amplitudo med U_{LLD} in U_{ULD} , slika 3.

Slika 4 nas pouči, da zgoraj opisano logično vezje ni primerno za prepoznavanje sunkov izbrane velikosti: ugovor komparatorja, nastavljenega na nivo U_{ULD} pride namreč prepozno in se prehitro konča. Zato sunka LLD ne ustavi, ampak ga samo prereže na pol.

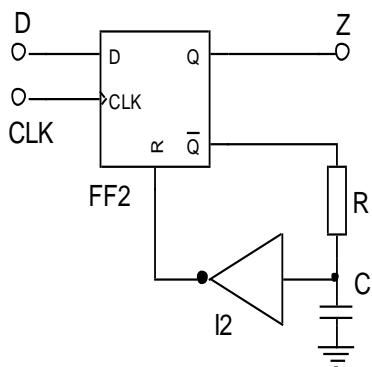
4.5 Enokanalni analizator

Do praktično uporabnega vezja pridemo na različne načine.

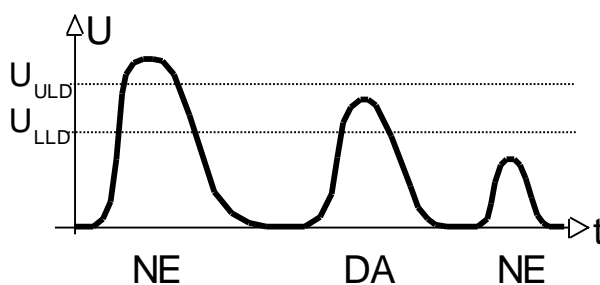
Ena možnost je na primer ta, da podaljšamo sunek ULD , ki velja kot ugovor, sunek LLD pa zakasnim. Potrebovali bi univibrator za podaljšanje sunka za ugovor ULD , zakasnitev sunka LLD pa dosežemo tako, da generiramo pomožni sunek ob padajočem robu sunka LLD . Vendar je taka realizacija odvisna od trajanja sunka X na vohodu v analizator in trajanja sunka na izhodu iz univibratorja.

Poskusili bomo drugačno realizacijo. Izhodni sunek enokanalnega analizatorja naj tokrat generira univibrator. Tega prožimo s padajočim robom signala LLD , vendar ne vedno. Če je zgornji komparator pred tem zaznal prevelik vhodni sunek (ULD ima vrednost ena), padajoči rob signala LLD ne sme sprožiti univibratorja.

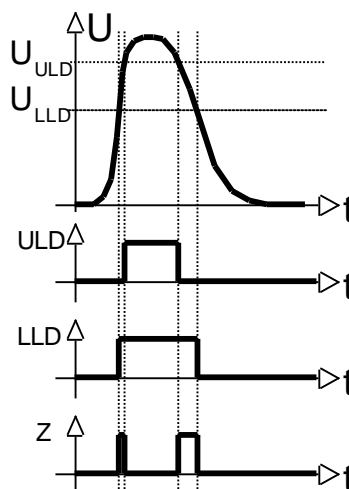
Univibrator lahko naredimo s pomočjo flip-flopa FF_2 , ki ga resetira njegov lasten izhodni signal malo zatem, ko se le-ta postavi na vrednost ena. Shema takega univibratorja je na sliki 5.



Slika 5: Tak univibrator rabimo



Slika 3: Pri enokanalni analizi štejemo samo sunke, ki imajo amplitudo med U_{LLD} in U_{ULD}



Slika 4: Problemi venostavnem enokanalnem analizatorju

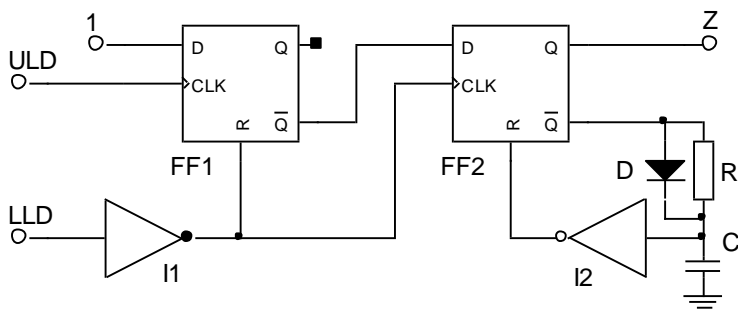
Na začetku naj ima izhod Z vrednost nič, zato je na reset vohodu R flip-flopa prav tako vrednost nič. Ko je na vohodu D logična enka in na vohod CLK pride sunek, se enka prepíše na izhod Z flip-flopa, izhod \bar{Q} pa dobi vrednost nič. Zato se začne kondenzator C prazniti skozi upornik R ; časovno konstanto praznenja določa produkt RC ; ko napetost na kondenzatorju C pade pod polovico napajalne napetosti, inverter I_2 to prepozna kot logično nič, zato postane njegov izhod logična enka, kar resetira flip-flop FF_2 . Na izhodu Z flip-flopa smo torej dobili sunek, njegovo trajanje določa časovna

4.5 Enokanalni analizator

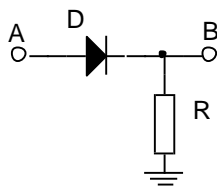
konstanta RC . Če na vhodu D flip-flopa ob sunku na CLK vhodu ni enke, potem sunka na izhodu Z ni. Logična enka na D vhodu torej omogoči proženje univibratorja ob prehodu ($0 \rightarrow 1$) sunka CLK .

Potrebujemo samo še pomnilni element, ki si zapomni, če se je med trajanjem signala LLD oglasil tudi signal ULD , če je torej vhodni sunek X prevelik. Za to potrebujemo še en flip-flop $FF1$. Njegov izhodni signal je pred prihodom sunka LLD postavljen na logično nič (flip-flop je resetiran). Ko spodnji komparator zazna prihajajoči sunek, njegov izhodni signal LLD preko inverterja I_1 sprosti flip-flop $FF1$ in mu dovoli, da pomni vrednost z zgornjega komparatorja. Ko vhodni sunek pade pod U_{LLD} , padajoči rob signala LLD preko inverterja I_1 proži zgoraj omenjeni univibrator, če mu to dovoli izhodni signal flip-flopa $FF1$. Shema kompletne vezja je na sliki 6. Dioda D omogoči hitro vzpostavlanje prvotnega stanja v univibratorju po sunku na izhodu Z

Naloga: Sestavi enokanalni analizator, ki ga kaže bločna shema na sliki 1 in ga preskusi. Potreboval boš vezje s flip-flopi iz vaje 2.16 ter vezje z inverterji iz vaje 2.15 ter RC člen. Ker dajejo komparatorji izhodni signal, ki skače med $-12V$ in $+12V$, logična vezja pa razumejo signale med $0V$ in $+12V$, ne pozabi vstaviti med komparatorje in logična vezja prilagodilnega člena, ki je sestavljen iz diode in upornika, slika 7. Kot vir sunkov za preskušanje uporabi generator sunkov. Za kakšne vhodne sunke enokanalni analizator zadovoljivo deluje?



Slika 6: Shema logičnega vezja za enokanalni analizator jedrskih sunkov



Slika 7: Prilagodilni člen

